

MOSFETにおける極薄酸化膜のトンネル電流と酸化膜遷移層の考察

今井 康人* 山本 弘明**

Tunneling Current through Ultra-Thin SiO₂ Layer and Study of Transition Layer in MOSFET

Yasuto IMAI* and Hiroaki YAMAMOTO**

(Received January 31, 2007)

Recently the thin SiO₂ (silicon dioxide) layer whose thickness is nanometer order is used generally in MOSFET. The reason is that the excellent technique can construct the thin layers through which tunneling current may be produced. This work describes how much effect the tunneling current gives on the drain current with decreasing SiO₂ thickness. It is confirmed that the thin oxide layer much thicker than 1.2nm is not destroyed by simple electric field. On the other hand, it is known that the thermal oxide method provides the high-quality oxide layer: this shows high-quality structure (regularly hexagone-like atom arrangement on silicon wafers). In this view point a promising transition layer thickness between Si substrate and SiO₂ layer is investigated and estimated in ideally minimum size (0.324nm on (100) and 0.529nm on (110) Si substrate).

Key words : Tunneling current density, Ultra-thin SiO₂ layer, Transition layer between SiO₂ and Si

1. 序論

最初のトランジスタの発明は60年前の1947年にゲルマニウムを基板とした点接触型にその起源を発する[1]. 2年後の1949年には現在の基礎とも言うべき接合型が発表された[2]. シリコンはその融点温度が高いことから精製技術が遅れたために1960年代に入ってからその有用性が認められてゲルマニウムに代わって今日の主役の座を得ることになった. 室温においてそのバンドギャップが1.12[eV]であることと酸化膜(SiO₂)が非常に安定で優れた絶縁性を有するためである. トランジスタに対しては, 歴史的にはベル研では当初, 電界効果型を日指したが表面準位の影響を受けて成功せず, 実際には上記の点接触型になったいきさつがある.

実際の電界効果型トランジスタは, 1952年 Shockley の接合型 FET の理論解析 [3] を経た後に 1960 年に Kahng と Atalla が MOSFET を発表している [4]. 当時のチャネル長さは 20[μm], 酸化膜厚 100[nm] で 40 数年経過した現在では, サブミクロン時代に入り, 0.14[μm], 酸化膜厚 1.6[nm] の MOSFET が量産されるようになっている. 一時期はトンネル効果の悪影響でそのリーク電流のために, 酸化膜厚の薄さの限界は 2.0[nm] と言われていた. 現在では, 酸化膜作製技術の進歩とあいまって, 2.0[nm] の壁を越えて生産されている. リーク電流は MOSFET のドレイン電流に悪影響を与えるほどではなく, 実質上の結果オーライの量産大勢である. 酸化膜(SiO₂)は本来アモルファス構造を取ることが知られていて, ある程度以上の膜厚が必要とされてきた. 一方で, 学問的にはアモルファスである酸化膜(SiO₂)は, 構造的に完全に不規則配列された原子から構成されているという長年の解釈から, 結合手の特性に関する研究が進展するにつれて, 長距離秩序はないものの数十原子層程度では規則的な配列をしているという解釈に

*情報・メディア工学科

**大学院工学研究科情報・メディア専攻

* Dept. of Information Science

** Information science course, Graduate school of Engineering

変わってきている。最近の酸化膜厚の 2[nm] 以下の薄膜化傾向は、作製技術の向上に伴って薄い酸化膜は安定な性質をもつ、すなわち、結晶の特性に近いアモルファス構造になっていることを物語っていると考えられる。

本研究では、トンネル電流の酸化膜厚依存性を計算し、1.2[nm] 以上の酸化膜厚ではドレイン電流に及ぼす影響はほとんど無いことを確認した。これは、現状の MOSFET においてはこのトンネルによるリーク電流を無視した状態で作製・動作していることを確かめたことになる。一方、酸化膜が薄くなるほど高品質で安定な特性を示すことが知られていることに対して、その構造のモデル化に取り組んだ。その結果、シリコン基板と酸化膜との間に存在する遷移層を結合手の特性を考慮して構築することによって、その最小膜厚と考えられるモデルを示すことができた。

2. 酸化膜厚の極薄化とゆらぎ

ここでは、ダングリングボンドを考慮に入れて、シリコン基板と酸化膜間に生ずる遷移層に対するモデルを構築する。

2.1 酸化膜厚の極薄化とゆらぎの概要

Si 及び SiO₂ の基本構造を図 1 に示す [5, 6]。

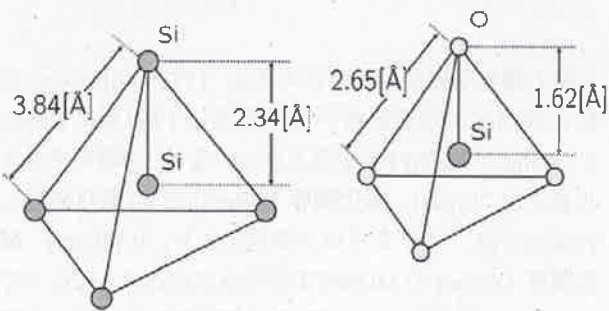


図 1: Si と SiO₂ の基本構造

熱的に成長した SiO₂ の基本構造は、図 1 に示されているように Si 原子の周りを四つの酸素原子が取り囲んだ正四面体構造になっている。Si-O 原子間の距離は 1.62[nm]、O-O 原子間の距離は 2.65[nm]、O-Si-O の結合角は 109.5° である。このような正四面体は酸素を介してお互いにいろいろな形に結び付き SiO₂ を形成している。SiO₂ の構造には結晶的構造とアモルファス構造がある。一般に Si が熱的に酸化されると SiO₂ はアモルファス構造をとることが知られているが、酸化膜厚が 2.0[nm] よりも薄くなると結晶性 (結合の近距離秩序が保持されたアモルファス構造) が強くなる。また、図

2 に示される Si から SiO₂ へ変化する遷移領域はシリコン酸化膜とは異なる構造をとるといわれている。本研究では、この遷移領域で「酸化膜厚のゆらぎ」を考察することにする。

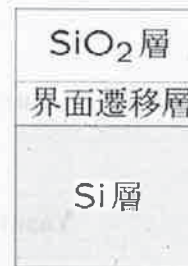


図 2: Si/SiO₂ 界面の概略図

(100) 面を基板とするシリコン上と (110) 面の 2 種類のシリコン酸化膜を考える。Si, SiO₂ 界面のダングリングボンド密度はそれぞれ次の原子密度で計算できる。

$$\frac{2}{a^2} : (100) \text{ 面} \tag{1}$$

$$\frac{4}{\sqrt{2}a^2} : (110) \text{ 面} \tag{2}$$

ここで a は室温における格子定数である: 5.43Å (Si), 3.75Å (SiO₂) とする。

式 (1) より求めたシリコン及び酸化膜の界面のダングリングボンド密度を表 1, 表 2 に示す。

表 1: Si 界面のダングリングボンド密度

面	Si 界面のダングリングボンド密度
(100)	$6.78 \times 10^{18} [1/m^2]$
(110)	$9.59 \times 10^{18} [1/m^2]$

表 2: SiO₂ 界面のダングリングボンド密度

面	SiO ₂ 界面のダングリングボンド密度
(100)	$1.42 \times 10^{19} [1/m^2]$
(110)	$2.01 \times 10^{19} [1/m^2]$

表 1, 2 から SiO₂ 界面のダングリングボンドは Si のダングリングボンド密度に比して数が非常に多いことが分かる。また、SiO₂ 界面のダングリングボンドは Si 原子よりも O 原子と結合しやすいため、SiO₂ 界面では O 同士が結び付いた構造が多くなると考えられる。このため、Si 界面にダングリングボンドが発生しやすくなる。この遷移層にできる Si のダングリングボンドを含んだ層を、本研究では「酸化膜厚ゆらぎ」と称することにする。この、酸化膜ゆらぎを図 3, 4 に示す。図 3 は [100] 方向に成長させたシリコン酸化膜を [110] 方向から見た図である。図 4 は [110] 方向に成長させたシリコン酸化膜を [100] 方向から見た図である。

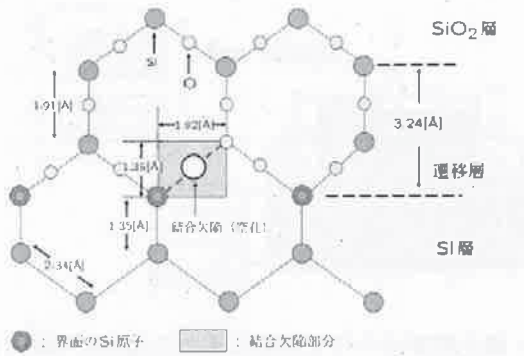


図 3: (100) 面上に成長した遷移層の 2 次元的原子配置

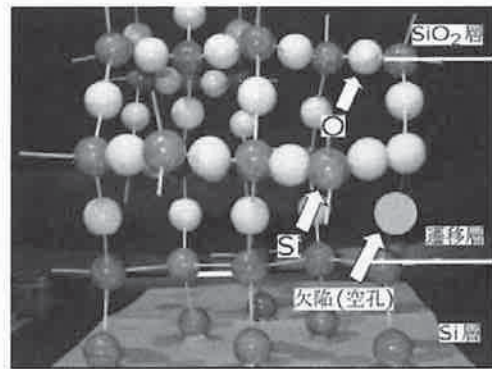


図 6: 酸化膜厚の遷移層モデル [100]

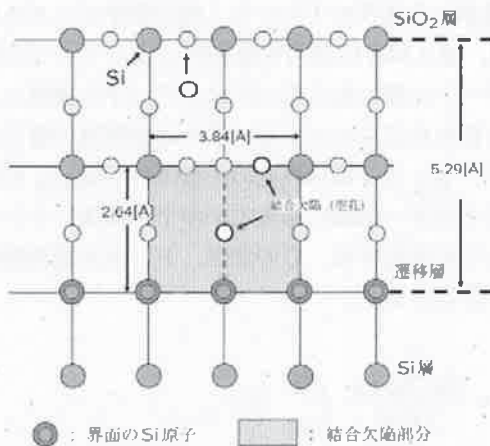


図 4: (110) 面上に成長した遷移層の 2 次元的原子配置

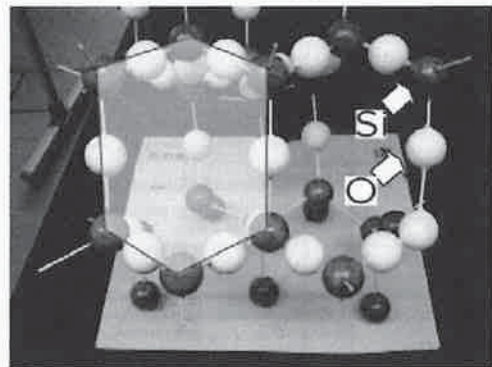


図 7: 酸化膜厚の遷移層モデル [111]

2.2 酸化膜厚のゆらぎモデル

ここでは、シリコンと酸化膜を [110] 方向に成長させた場合に対して、シリコン酸化膜の遷移層を 3 次元的にモデル化した。このモデルを [010], [100], [111] 方向から見た図をそれぞれ図 5, 6, 7 に示す。

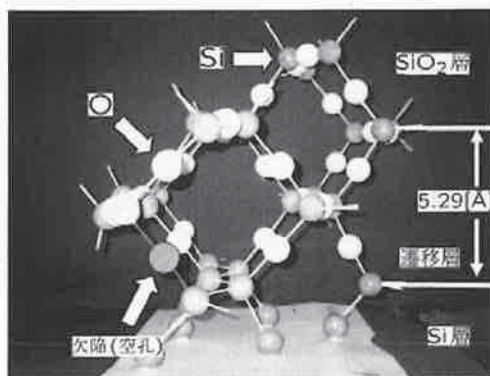


図 5: 酸化膜厚の遷移層モデル [010]

図 5 から遷移層の厚さを計算すると 5.29[Å] となる。図 6 から遷移層では SiO₂ のダングリングボンドに O 原子が結合し O 原子を主体とした構造となることで Si/SiO₂ 界面に結合欠陥 (空孔) が生じていることが分かる。図 7 からは網目部分の 6 角形の面積がシリコン結晶のそれよりも広く、Si 結晶よりも SiO₂ はその密度が疎であることが分かる。

3. 酸化膜厚ゆらぎが MOSFET に及ぼす影響

3.1 ゲートリーク電流に及ぼす影響

図 8 の構造を持つ理想的な p-MOS にゲート電圧 V_G を加え強反転状態のもとでのリーク電流を計算する。

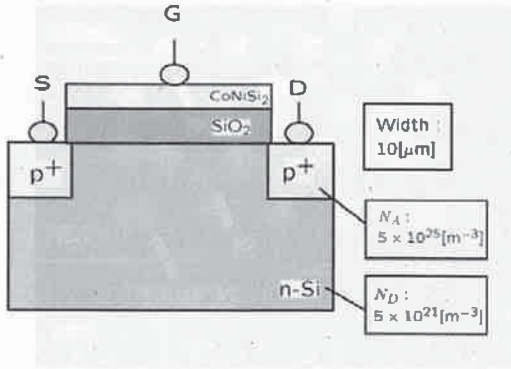


図 8: MOS 構造の概略図

酸化膜が非常に薄いと絶縁体である酸化膜を電子が通り抜けるトンネル現象が起こる。その結果、ゲートリーク電流が流れる。このときのエネルギーバンド図を図 9 に示す。

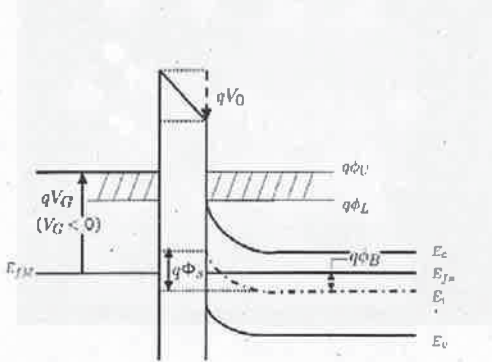


図 9: 反転状態のエネルギーバンド図

ゲート電極には、MOSFETにおいて今後ますます重要になってくる低消費電力化を念頭におき、 $V_G = -1.0[V]$ の電圧印加を仮定した。このときのシリコン内部の価電子帯の上端をエネルギーの基準にとったとき図 9 の各パラメータ値は以下ようになる。

- E_{fM} : 0.889[eV]
- qV_G : 1.0[cV]
- qV_0 : 0.342[eV]
- $q\Phi_S$: 0.658[cV]
- $q\phi_U$: 1.899[eV]
- $q\phi_L$: 1.788[eV]
- $q\phi_B$: 0.329[cV]

また、前節で構築した酸化膜厚のゆらぎモデルを考慮に入れた解析モデルを導入する (図 10 参照)。

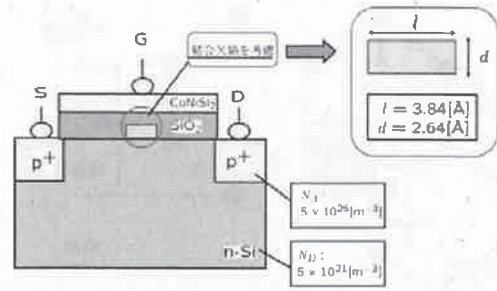


図 10: 酸化膜厚ゆらぎを考慮に入れた場合の MOS 構造の概略図

図 1 の Si 及び SiO₂ の基本構造と図 5, 6, 7 で示した酸化膜厚の遷移層モデルから、酸化膜厚ゆらぎを高さ 2.64Å、幅 3.84Å の結合欠陥 (空孔) としてモデル化する。ゲート電極に加えた電圧は全て電子の運動エネルギーに使われるものとする。図 9 の金属側の電子のエネルギー $q\phi_U$ と半導体界面の伝導体の下端 $q\phi_L$ の間にあるエネルギー領域にある電子が半導体側にトンネルするものと仮定する。このとき、トンネル電流密度は次式で計算する [7]。

$$|J| = \frac{qm^*k_B T_K}{2\pi^2 h^3} \int_{q\phi_L}^{q\phi_U} |T|^2 \times \ln \left(\frac{1 + \exp[(E_F - E)/k_B T_K]}{1 + \exp[(E_F - E - qV_G)/k_B T_K]} \right) dE \quad (3)$$

ここで、 h はプランク定数、 E_F はフェルミ準位、 V_G はゲート電圧、 k_B はボルツマン定数、温度は室温で $T_K = 300[K]$ 、 T は電子の透過確率である。式 (2) を用いて結合欠陥なしと結合欠陥ありの 2 種類のゲートリーク電流を酸化膜厚 $t_{ox} = 1.6[nm]$ と $t_{ox} = 1.4[nm]$ に対して求めた結果を図 11, 図 12 に示す。

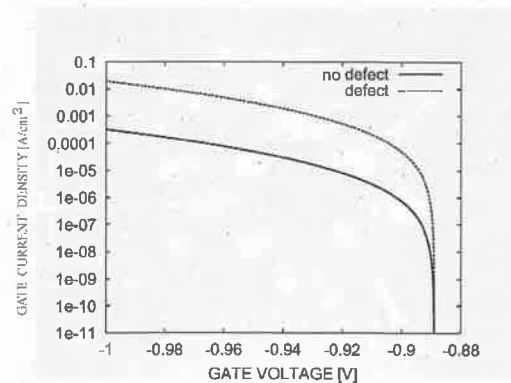


図 11: ゲートリーク電流密度 ($t_{ox} = 1.6[nm]$)

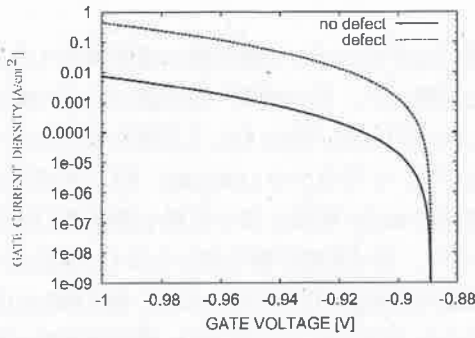


図 12: ゲートリーク電流密度 ($t_{ox} = 1.4[\text{nm}]$)

酸化膜の薄膜化に伴ってリーク電流は増加している。また、結合欠陥部を流れるリーク電流は結合欠陥なしの状態と比較して $V_G = -1.0[\text{V}]$ 印加時にはおよそ 60 倍に増加している。このことからゲートリーク電流に対して酸化膜厚ゆらぎの影響は大きいと考えられる。

3.2 ドレイン電流に及ぼす影響

チャージシエアモデル [8, 9] を用いて図 8 の遷移層構造をもつ MOSFET の電流電圧特性の解析を行なった結果を図 13, 14 に示す。

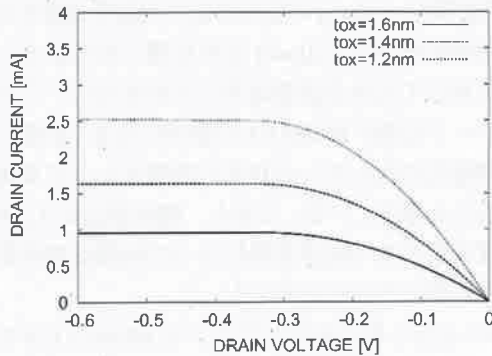


図 13: MOSFET の電流電圧特性
($L = 1.0[\mu\text{m}]$, $W = 10[\mu\text{m}]$, $V_G = -1.0[\text{V}]$)

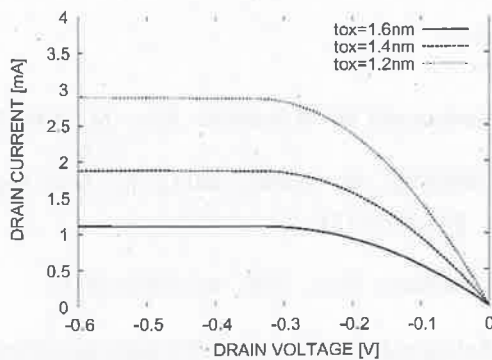


図 14: MOSFET の電流電圧特性
($L = 0.4[\mu\text{m}]$, $W = 10[\mu\text{m}]$, $V_G = -1.0[\text{V}]$)

前節で行なったゲートリーク電流の解析結果と比較すると、ゲートリーク電流の値が最も大きい場合である、 $V_G = -1.0[\text{V}]$ 、酸化膜厚 $1.4[\text{nm}]$ (結合欠陥あり) の場合でもドレイン電流はゲートリーク電流に比して約 5 桁ほど大きく、ゲートリーク電流が及ぼす影響は無視できる。このことからドレイン電流に対して酸化膜厚ゆらぎの影響はほとんどないと考えられる。

3.3 絶縁破壊に及ぼす影響

結合欠陥がない状態の MOSFET の界面の電界分布を図 15, 16 に示す。

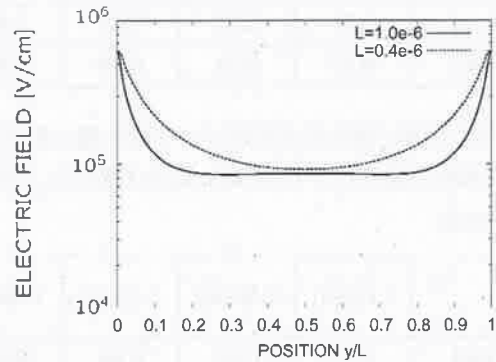


図 15: 界面電界分布 ($t_{ox} = 1.6[\text{nm}]$, $V_G = -1.0[\text{V}]$)

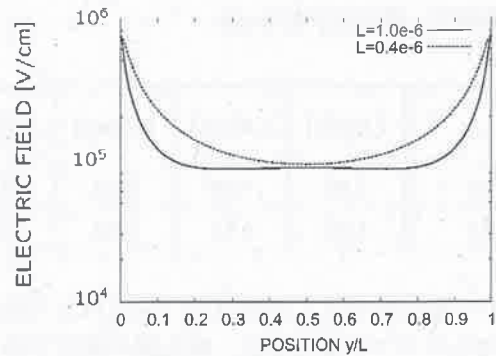


図 16: 界面電界分布 ($t_{ox} = 1.2[\text{nm}]$, $V_G = -1.0[\text{V}]$)

図 16 から酸化膜厚が $1.2[\text{nm}]$ の場合でも結合欠陥がない状態ならば絶縁破壊を起こす大きさの電界がかかっていないことが分かる。しかし、図 17 のように酸化膜厚のゆらぎを考慮し、結合欠陥部にかかる電界を局所電界 (ローレンツの方法) を用いて調べると表 3, 4, 5 のようになる。

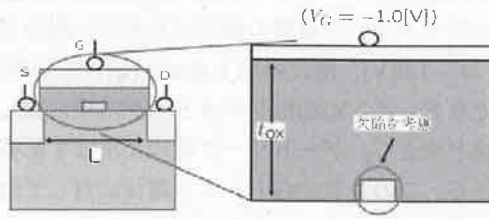


図 17: 酸化膜厚のゆらぎを考慮にいた解析モデル

表 3: [100] 方向に成長させたシリコン酸化膜の結合欠陥部分に加わる局所電界 (中央部に結合欠陥発生: 単位は [MV/cm])

$L \backslash t_{ox}$	1.6[nm]	1.4[nm]	1.2[nm]	1.0[nm]
1.0[μm]	0.70	0.73	0.76	0.83
0.6[μm]	0.71	0.73	0.75	0.82
0.4[μm]	0.77	0.78	0.80	0.97

表 4: [110] 方向に成長させたシリコン酸化膜の結合欠陥部分に加わる局所電界 (中央部に結合欠陥発生: 単位は [MV/cm])

$L \backslash t_{ox}$	1.6[nm]	1.4[nm]	1.2[nm]	1.0[nm]
1.0[μm]	0.77	0.82	0.86	0.97
0.6[μm]	0.78	0.81	0.85	0.97
0.4[μm]	0.84	0.87	0.91	1.14

表 5: 結合欠陥部分に加わる局所電界 (ソース-基板間に結合欠陥発生: 単位は [MV/cm])

面 $\backslash t_{ox}$	1.6[nm]	1.4[nm]	1.2[nm]	1.0[nm]
(110)	5.99	7.05	8.55	10.87
(100)	5.46	6.33	7.52	9.26

表 5 から酸化膜厚が 1.2[nm] のときに [110] 方向に成長させたシリコン酸化膜に、酸化膜の耐圧である 8[MV/cm] を越える電界がかかる可能性があることが分かった。また、酸化膜厚が 1.0[nm] のときに [100] 方向に成長させたシリコン酸化膜に、酸化膜の耐圧である 8[MV/cm] を越える電界がかかる可能性があることも分かった。さらに、シリコン酸化膜の厚さが 1.125[nm] となるときの、どの方向にシリコン酸化膜を成長させても結合欠陥による絶縁破壊が起こる可能性があることが分かった。このことから酸化膜の薄膜化が進むにつれて、酸化膜厚ゆらぎの影響が酸化膜の絶縁破壊に大きく影響を与えることになると考えられる。

4. まとめ

本研究ではまずシリコン酸化膜の遷移層の 3 次元的モデルを構築した。その結果、遷移層の厚さの最小値を [100] および [110] 方向に対して見積もることができた。すなわち、シリコンの (100) 面に SiO₂ を成長させている通常の MOS 構造における最小遷移層の厚さは 3.24Å となり、原子密度が最も疎となる (110) 面上では 5.29Å の最小遷移層が得られた。また、酸化膜厚のゆらぎモデルから Si 結晶に比べて SiO₂ 構造は密度が疎であることが分かった。このため、酸化膜が厚いと、酸素原子とシリコン原子が置換して界面を生成するより酸素原子が酸化膜を早く通り抜けてシリコン基板界面に到達してしまうことが起こりやすくなる。これが SiO₂ の特性が好ましくないアモルファス構造をとる原因の一つであると考えられる。このことから酸化膜厚が薄いほど結晶性 (結合手の近距離秩序が保たれた状態) が強くなり結合欠陥ができにくいと推測した。

次に酸化膜厚の結合欠陥を考慮にいた MOSFET の静特性の解析をおこなった。結合欠陥ができることによりゲートリーク電流は増加するがドレイン電流に影響を及ぼすほどの大きさではないことが分かった。とくに、酸化膜厚 1.4[nm] の場合に結合欠陥を考慮すると実質的な酸化膜厚は 1.2[nm] よりも薄くなるがドレイン電流に対して大きな影響はみられなかった。このことからリーク電流が MOSFET の動作に与える影響に関しては薄膜化が進んでいる現状に問題なしとする裏付けが取れたと考えている。しかし、酸化膜厚が 1.2[nm] に到達するあたりで結合欠陥によって絶縁破壊が起こる可能性が強くなることが分かった。

以上のことから現在使用されている MOSFET が正常に動作することを裏付けるとともに、将来、酸化膜は 1.1[nm]~1.2[nm] 程度の薄さで MOSFET 動作に限界を与えるものと予測する。

参考文献

[1] J. Bardeen and W. H Brattain, Rev. 74 (1948) 230
 [2] W. Shockley, M. Sparks, and G. K. Teal, Phys. Rev. 83 (1951) 151
 [3] W. Shockley, Proc. IRE, 40 (1952) 1365
 [4] D. Kahng and M. M. Atalla, IRE Solid State Device Res. Conf., Pittsburgh, PA (1960)
 [5] S. M. Sze, Semiconductor Devices -Physics and Tchnology- 2nd ed. (Wiley & Sons, 2002) p. 372

- [6] S. M. ジー, 半導体デバイス-基礎理論とプロセス技術- 1st ed. (産業図書, 1987) p. 359
- [7] R. Tsu and L. Esaki, *qAppl. Phys. Lett.*, 22, (1973) 562
- [8] 岸野正剛・小柳光正 共著, VLSI デバイスの物理 (丸善, 1986) 97
- [9] 平本俊郎, *応用物理*, 67 (1998) 571

